

PAT-NO: JP402026043A

DOCUMENT-IDENTIFIER: JP 02026043 A

TITLE: MANUFACTURE OF SEMICONDUCTOR ELEMENT

PUBN-DATE: January 29, 1990

INVENTOR-INFORMATION:

NAME

TOMINAGA, YUKIHIRO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
OKI ELECTRIC IND CO LTD	N/A

APPL-NO: JP63174870

APPL-DATE: July 15, 1988

INT-CL (IPC): H01L021/66, H01L021/321

US-CL-CURRENT: 438/614, 438/FOR.343

ABSTRACT:

PURPOSE: To reduce pad pitch within TEG by forming a barrier layer of a bump resistance measuring part and a barrier layer of a probe contact pad and a bump electrode only on a barrier layer of the bump resistance measuring part.

CONSTITUTION: After forming barrier layers 25a and 25b of a bump resistance measuring part and barrier layers 25c and 25d of a probe contact pad, the barrier layers 25c and 25d of this probe contact pad are coated with a resist 27 and a bump electrode 26 is formed only on the barrier layers 25a and 25b of the bump resistance measuring part. Then, a constant current is allowed to flow to the barrier layers 25c and 25d of the probe contact pad with a

current

probe and voltage drop is measured by a voltage drop measuring probe for performing bump resistance measurement. Thus, short-circuiting between the

barrier layers 25a and 25b of the bump resistance measuring part and the barrier layers 25c and 26d of the probe contact pad can be prevented. It enables a measurement pad pitch 34 of Test Element Group(TEG) to be narrow.

COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報 (A) 平2-26043

⑬ Int.Cl.⁵
H 01 L 21/66
21/321識別記号 庁内整理番号
E 7376-5F

⑭ 公開 平成2年(1990)1月29日

6824-5F H 01 L 21/92

B
審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体素子の製造方法

⑯ 特願 昭63-174870

⑰ 出願 昭63(1988)7月15日

⑱ 発明者 富永之廣 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 ⑲ 出願人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
 ⑳ 代理人 弁理士 菊池弘

明細書

1. 発明の名称

半導体素子の製造方法

2. 特許請求の範囲

(a) 半導体ウエハの表面に形成された絶縁膜を介してAL層を形成後、バッシベーション膜を形成してパターン化する工程と、

(b) 上記パターン化されたバッシベーション膜を通して上記AL層と導通するようにバンプ抵抗測定部のバリア層と電流および電圧測定用のプローブ接触パットのバリア層を形成する工程と、

(c) 上記バンプ抵抗測定部のバリア層の部分を開孔して上記プローブ接触パットのバリア層をレジストで被覆する工程と、

(d) 上記バンプ抵抗測定部のバリア層上にバンプ電極を形成する工程と、

(e) 上記二つのプローブ接触パットのバリア層に電流用プローブにより定電流を流して電圧降下測定用プローブで電圧を測定してバンプ抵抗測定を行う工程と、

よりなる半導体素子の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、バンプ電極がプローブ接触パットのバリア上に成長しないようにし、かつバンプ構造の電流路をバリア層の近接により接觸させて抵抗を測定するようにした半導体素子の製造方法に関するものである。

(従来の技術)

一般に、ウエハプロセスを管理、制御するため、第3図に示すようにウエハ内にデバイス1とは別に数チップのTEG (Test Element Group) 2とよばれるパターンが挿入されている。

第4図はこのTEG 2の部分を示す拡大平面図であり、1は上記デバイス、2は挿入されたTEGである。このTEG 2の中には単体のトランジスタや拡散抵抗等を測定するとともに、バンプ法による実装を行うプロセスにおいては、バンプ電極をメッキ法で作製するため、バンプ抵抗を測定する素子が形成されている。

この簡単な測定方法の一つの素子を示したもののが、第5図の断面図であり、第4図の平面図のa-a'間に對応している。この第4図および第5図の両図において、3は半導体ウエハ、4は配線用Alバット、5は半導体ウエハ3と配線用Alバット4を分離する絶縁膜、6はバッジベーション膜であり、このバッジベーション膜6に形成した開孔部7を通して配線用Alバット4が外部に接続される。8は半田パンプ電極で電解メッキにより作製されている。

また、この半田パンプ8と配線用Alバット4とのバリア層でTi, Pt, Cu等から成るバリア層9を有している。

このような構造で半田パンプ電極8と配線用Alバット4とのパンプ抵抗を簡単に測定する方法の一つとして、4端子法があり、電流プローブ10a, 10b間に定電流を流し、電圧測定プローブ11a, 11b間の電圧降下を測定する方法がある。

(発明が解決しようとする課題)

しかし、このようなパンプ構造を有するTBC2で

一プローブカードでTBC2の部分の接触ができないという点について解決した半導体素子の製造方法を提供するものである。

(課題を解決するための手段)

この発明は半導体素子の製造方法において、パンプ抵抗測定部のバリア層とプローブ接触バットのバリア層の形成後このプローブ接触バットのバリア層をレジストで被覆する工程と、パンプ抵抗測定部のバリア層上のみにパンプ電極を形成する工程と、プローブ接触バットのバリア層に電流用プローブにより定電流を流し、かつ電圧降下測定用プローブにより電圧降下を測定してパンプ抵抗測定を行う工程とを導入したものである。

(作用)

この発明によれば、半導体素子の製造方法において以上のような工程を導入したので、パンプ電極形成時にレジストによりプローブ接触バットのバリア層にパンプ電極が形成され、パンプ抵抗測定部のバリア層とプローブ接触バットのバリア層間がショートしなくなり、かつパンプ抵抗測定に

は、半田パンプ8がメッキ時、横方向にも成長するため、第4図に示すパンプピッチ1-2が広くなってしまうという欠点があった。

この欠点を解決するために、TBC2はウエハプロセスの電気測定が終了すれば不要であり、半田パンプ電極8による実装を必要としないことから、半田パンプ電極8を形成しない方法が提案されている。これを示したのが第6図であり、1は半田パンプ電極8が形成されたデバイスの部分、2は半田パンプ電極8の無いTBCの部分である。

しかし、このように形成すると、半田パンプ電極8の高さ1-3とTBC2との差が大きく発生し、TBC2の部分の電気測定で他の素子と一緒に測定するよう設置されたプローブカードで接触できなくなるという欠点があった。

以上述べたいずれの方法でも、TBC2内のバットピッチを小さくするとともに、半田パンプ電極8のパンプ抵抗を測定できる方法はなかった。

この発明は前記従来技術がもつている問題点のうち、パンプピッチが広くなるという点と、プロ

ーブカードでTBC2の部分の接触ができないという点について解決した半導体素子の製造方法を提供するものである。

(実施例)

以下、この発明の実施例を図について説明する。第1図向はその一実施例を説明するためのパンプ抵抗測定素子のパンプ電極形成後の断面図である。

この第1図向において、2-1は半導体ウエハであり、この半導体ウエハ2-1の上面に絶縁膜2-3を形成後、この絶縁膜2-3上にAl配線と共に電流路となるAl層2-2を形成する。

次いで、バッジベーション膜2-4を形成し、このバッジベーション膜2-4の所定個所に開口してTi, Pt, Cuなどからなるパンプ抵抗測定部のバリア層2-5a, 2-5b、電流および電圧測定用のプローブ接触バットのバリア層2-5c, 2-5dを形成する。

次いで、これらのパンプ抵抗測定部のバリア層2-5a, 2-5b、電流および電圧測定用のプロー

プローブ接触パットのバリア層 25c, 25d 上にレジスト 27 を塗布する。

このレジスト 27 の被膜形成後、バンプ抵抗測定部のバリア層 25a, 25b の部分を開孔 28 して、このレジスト 27 をマスクとして、バンプ抵抗測定部のバリア層 25a, 25b 上に電解メッキ法で Pb · Sn 層によるバンプ電極 26 を 50 ~ 200 μm の高さで形成する。

このレジスト 27 のマスクはデバイス部と上述のごとく、バンプ抵抗測定部のバリア層 25a, 25b を開孔 28 しておき電流および電圧測定用のプローブ接触パットのバリア層 25c, 25d を被っておく。これにより、バンプ電極 26 はプローブ接触パットのバリア層 25c, 25d には形成されない。

これらの形成工程において、バンプ抵抗測定部のバリア層 25a と 25b との間隔 29 は Pb · Sn のメッキ時に横方向に広がり接觸、結合するような寸法以内、たとえば、バンプ電極 26 の高さ 100 μm の場合 1.0 ~ 1.00 μm 位とする。

り定電流を流し、電圧降下測定用プローブ 33a, 33b で電圧を測定することにより行う。

第 2 図はこの発明によって製造された半導体素子の平面図であり、第 1 図(a), 第 1 図(b)の断面図は第 2 図の c - c' 1 段に対応しており、TEG 部においてはバンプ電極 26 が形成されないため、TEG パットピッチ 34 はデバイスのバンプピッチ 35 に比較して大巾に狭くすることができる。
(発明の効果)

以上詳細に説明したように、この発明によれば、プローブ接触パットのバリア層をレジストで被膜して、プローブ接触パットのバリア層上にバンプ電極を形成して、バンプ電極がプローブ接触パット上に成長しないようにするとともに、バンプ抵抗測定に際し、プローブ接触パットのバリア層をバンプ抵抗測定部のバリア層に近接させて接觸させて行うようにしたので、TEG の測定パットピッチを狭くできるとともに、バンプ構造で最も不安定であるメッキ抵抗を測定できる効果が期待できる。

さらに、通常の Pb · Sn のバンプ材を使用する方法においては、メッキ後に共晶化を行うため、200 ~ 300 °C の液中に浸されるが、この処理によりバンプ抵抗測定部のバリア層 25a, 25b 上の Pb · Sn のバンプ電極 26 は完全に共晶結合となる。これを示したのが第 1 図(b)である。

一方、プローブ接触パットのバリア層 25c とバンプ抵抗測定部のバリア層 25a の間隔 30 およびプローブ接触パットのバリア層 25d とバンプ抵抗測定部のバリア層 25b との間隔はバンプ電極 26 の横方向広がり 31 (第 1 図(b)) より以上、たとえばバンプ電極 26 の高さ 100 μm のとき 100 μm 以上に設定する。

これにより、共晶化処理においてもプローブ接触パットのバリア層 25c, 25d とバンプ抵抗測定部のバリア層 25a, 25b とがショートすることはない。

バンプ抵抗測定においては、このプローブ接触パットのバリア層 25c, 25d にそれぞれ第 1 図(b)に示すように、電流用プローブ 32a, 32b によ

4. 図面の簡単な説明

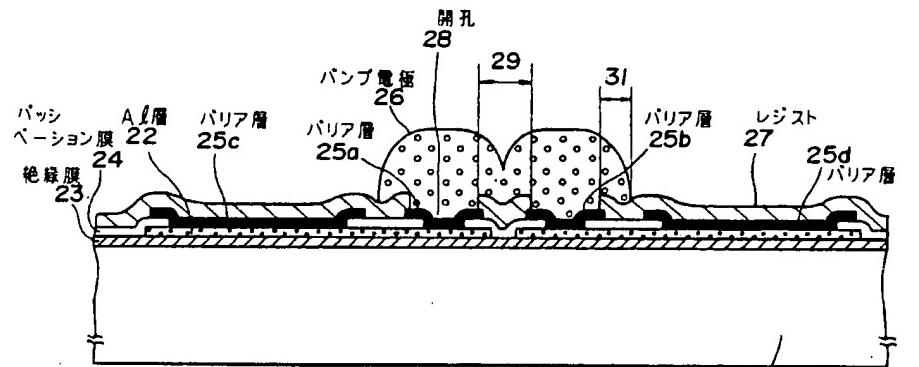
第 1 図(b)はこの発明の半導体素子の製造方法の一実施例の工程を説明するためのバンプ抵抗測定素子のバンプ電極形成後の断面図、第 1 図(a)は同上実施例の工程を説明するためのバンプ電極共晶後の断面図、第 2 図は同上実施例により製造された半導体素子の TEG 部分の平面図、第 3 図は従来の半導体デバイスの平面図、第 4 図は第 3 図の半導体デバイスにおける TEG 部分の拡大平面図、第 5 図は第 4 図の a - a' 1 線の拡大断面図、第 6 図は従来の半田バンプ電極を形成しない半導体素子の製造方法を説明するための断面図である。

21 … 半導体ウエハ、22 … Al 層、23 … 絶縁膜、24 … バッシャーション膜、25a, 25b … バンプ抵抗測定部のバリア層、25c, 25d … プローブ接触パット、26 … バンプ電極、27 … レジスト。

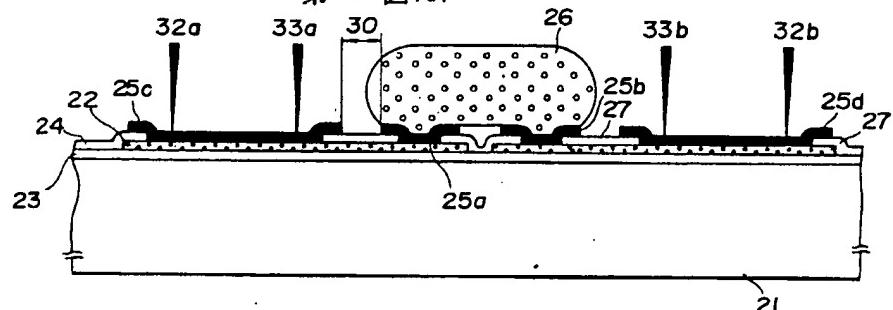
特許出願人 沖電気工業株式会社

代理人 弁理士 菊池



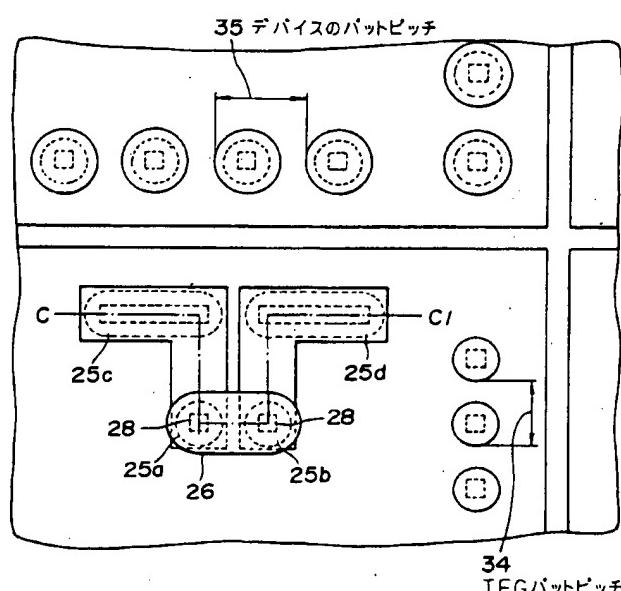
バンプ抵抗測定素子のバンプ電極形成後の断面図
第1図(a)

21半導体ウエハ



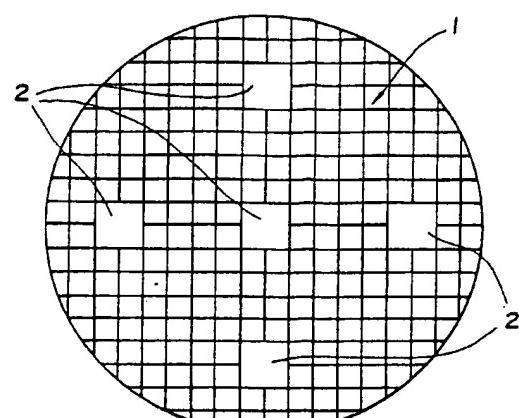
本発明によるバンプ電極共晶後の断面図

第1図(b)



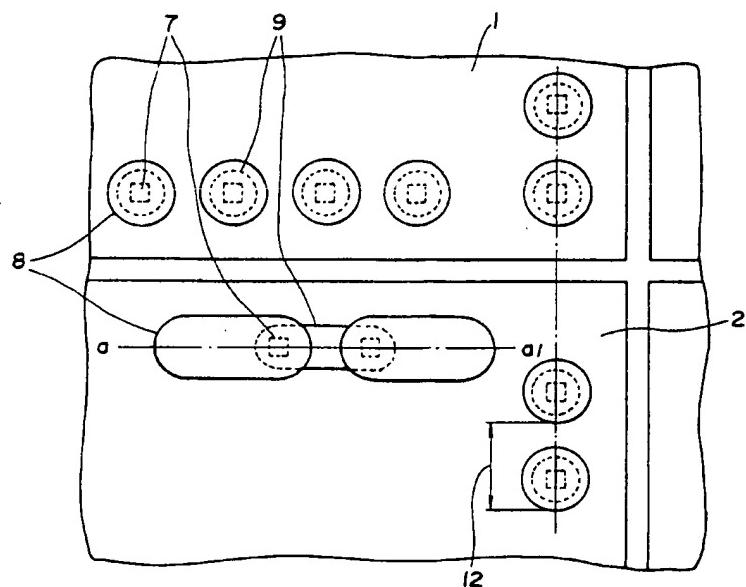
TEG部分の平面図

第2図



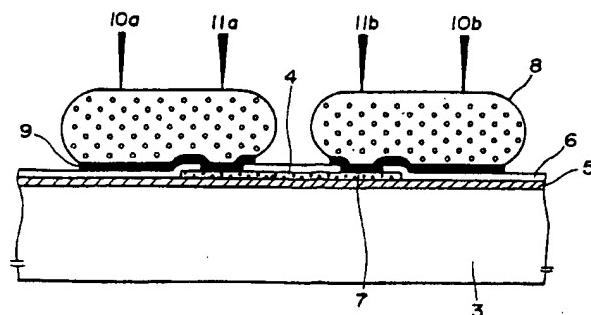
従来のデバイスの平面図

第3図



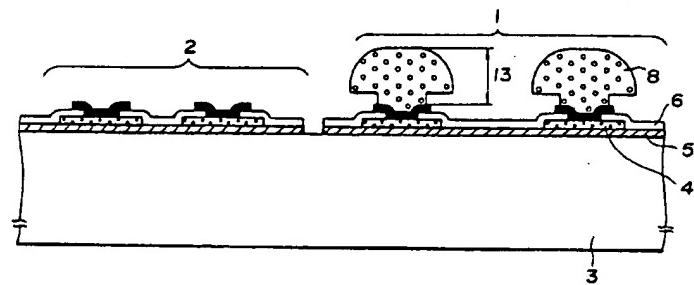
第3図のTEGの部分の拡大平面図

第4図



第4図の'a-a1'部の拡大断面図

第5図



従来の半田バンプ電極形成しない半導体素子の製造方法を説明するための断面図

第6図